

/9/1

DIALOG(R) File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

05446988 **Image available**
LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 09-061788 [JP 9061788 A]
PUBLISHED: March 07, 1997 (19970307)
INVENTOR(s): OZAWA KAZUNORI
FUKUMORI HIROYUKI
ASADA HIDEKI
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 07-213869 [JP 95213869]
FILED: August 23, 1995 (19950823)
INTL CLASS: [6] G02F-001/133; G09G-003/36
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
(COMMUNICATION -- Other)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

ABSTRACT

PROBLEM TO BE SOLVED: To make a device adaptable to a multisync liquid crystal display by performing a processing in which a black signal is written to the non-display part of a liquid crystal display part at high speed in a blanking period.

SOLUTION: The vertical driving circuit 102 of a matrix array 101 is constituted of shift registers 104-1 to 104-256 and scanning line driving data VSTA are shifted at high speed by making shift registers operate with half bits of respective high-speed clocks while using the positive and reversed phase signals of a high-speed clock having the frequency of the plural number multiple of a scanning clock as the shift clock. This shift is performed in the AGC period (the level adjusting period of signals equivalent to the black display signals of a video signal OUT1 to OUTX to be inputted to a horizontal driving circuit 103) in the blanking period and black display signals after the AGC procession are written by holding shift data after the shift is completed and by selectively driving corresponding scanning lines by gate control signals G1 to G8. Thereafter, the shift registers are initialized by sweeping out data in shift registers at high speed while performing shiftings again with the high-speed clock. All above processings are processable in the blanking period.
?

1/3/1 (Item 1 from file: 351)

DIALOG(R)File 351:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

011238676 **Image available**

WPI Acc No: 1997-216579/ 199720

XRPX Acc No: N97-178566

Active matrix type liquid crystal display e.g. projector, TV, personal computer, workstation - has horizontal actuator that boosts signal line between commutator ticket places within predetermined blanking period after shift controller stops operation of shifter

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9061788	A	19970307	JP 95213869	A	19950823	199720 B

Priority Applications (No Type Date): JP 95213869 A 19950823

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 9061788	A	9	G02F-001/133
------------	---	---	--------------

?

PDharia_Job_1_of_1

**Printed by HPS Server
for**

EAST

Printer: cpk2_6d03_gblvptr

Date: 03/22/02

Time: 11:14:12

Document Listing

Document	Selected Pages	Page Range
JP409061788A	9	1 - 9
Total (1)	9	-

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-61788

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl. ⁶ G 0 2 F 1/133 G 0 9 G 3/36	識別記号 5 5 0	序内整理番号 F I G 0 2 F 1/133 G 0 9 G 3/36	技術表示箇所 5 5 0
---	---------------	--	-----------------

審査請求 有 請求項の数4 OL (全9頁)

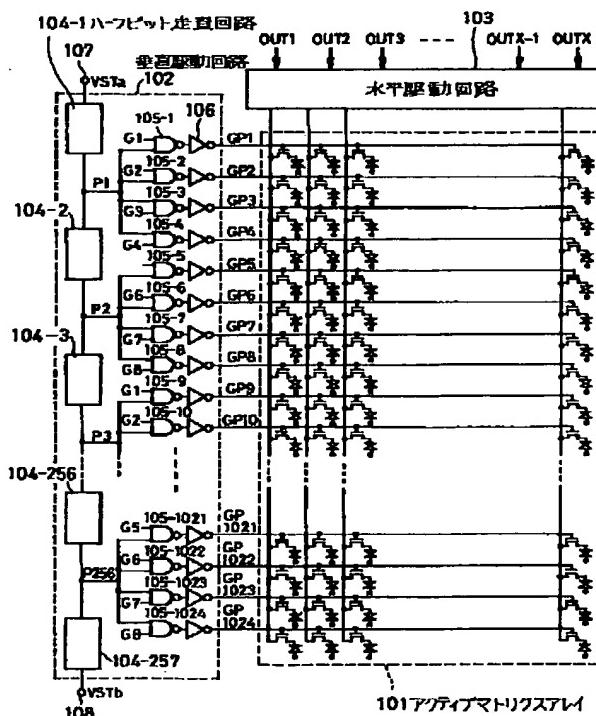
(21)出願番号 特願平7-213869	(71)出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日 平成7年(1995)8月23日	(72)発明者 小澤一徳 東京都港区芝五丁目7番1号 日本電気株式会社内
	(72)発明者 福森裕之 東京都港区芝五丁目7番1号 日本電気株式会社内
	(72)発明者 浅田秀樹 東京都港区芝五丁目7番1号 日本電気株式会社内
	(74)代理人 弁理士 ▲柳▼川信

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 液晶表示部の非表示部分に黒信号を書込む処理をブランкиング期間内に高速に行い得る様にして、マルチシンク液晶表示に適応可能とする。

【解決手段】 マトリクスアレイ101の垂直駆動回路102をシフトレジスタ104-1～104-256にて構成し、そのシフトクロックとして走査クロックの数倍の周波数を有する高速クロックの正逆相信号を用いて、シフトレジスタを各高速クロックのハーフピットで動作させて走査線駆動データVStaを高速シフトする。このシフトはブランкиング期間内のAGC期間(水平駆動回路103へ入力される映像信号OUT1～OUTXの黒表示相当信号のレベル調整期間)に行い、シフト終了後にシフトデータをホールドして、ゲート制御信号G1～G8により対応走査線を選択的に駆動して、AGC処理後の黒表示信号を書込む。その後、再び高速クロックでシフトを行いシフトレジスタ内のデータを高速で掃き出して初期化する。以上の処理全てがブランкиング期間内で処理可能である。



1

【特許請求の範囲】

【請求項1】 複数の走査線と複数の信号線との各交点にスイッチング素子が夫々配置されてなるアクティブマトリックスアレイ構成の液晶表示手段と、前記走査線を駆動する垂直駆動手段と、前記信号線を駆動する水平駆動手段と、入力映像信号を複数に分岐して各分岐信号の黒表示信号に相当する信号の振幅調整処理を垂直プランギング期間内に行う信号処理手段とを含む液晶表示装置であって、

前記垂直駆動手段は、シフトクロックに従って前記走査線の駆動信号を順次シフトするシフト手段と、

前記シフトクロックとして走査用クロックの周波数を遙倍した遙倍クロックを用いて前記シフト手段のシフト動作の開始／停止制御を行うシフト制御手段と、

前記シフト手段のシフト動作停止後の各シフト出力を前記走査線対応に選択制御信号に従って選択する選択ゲート手段とを有し、

前記シフト制御手段は、垂直プランギング期間内で、前記シフト手段のシフト開始を行った後所定期間シフト動作を停止するよう制御し、

前記水平駆動手段は、前記所定期間において前記振幅調整処理後の信号を前記信号線へ供給するようにしたことを特徴とする液晶表示装置。

【請求項2】 前記信号処理手段は垂直プランギング期間の開始直後に前記振幅調整処理を行うよう構成されており、前記シフト制御手段は前記シフト動作を前記信号処理手段の前記振幅調整処理の期間に行うよう制御することを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記黒表示信号に相当する信号は前記入力映像信号の最大／最小振幅であり、前記信号処理手段は垂直プランギング期間の開始直後の第1の期間に最大／最小振幅の一方の調整を行い、前記垂直プランギング期間の終了直前の第2の期間に最大／最小振幅の他方の調整を行うよう構成されており、前記シフト制御手段は前記第2の期間に前記シフト手段の内容の掲き出しを行うよう制御することを特徴とする請求項2記載の液晶表示装置。

【請求項4】 前記第1及び第2の期間の間において、前半と後半で互いに前記選択制御信号を異なるように設定制御して各選択制御信号に従って選択ゲート手段の出力を制御することを特徴とする請求項3記載の液晶表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は液晶表示装置に関し、特にディスプレイ、プロジェクタ、テレビジョン等に使用されるアクティブマトリックス型液晶表示装置の駆動方式に関するものである。

【0002】

【従来の技術】 マルチメディア時代に向けて、映像周波

2

数、画素数、走査方式の異なる、さまざまなパーソナルコンピュータ（以下、PC）、ワークステーション（以下、WS）、テレビジョン等に対応可能な液晶表示装置が要求されるようになってきている。

【0003】 PCやWS等に対応させるためには、奇数ライン、偶数ラインに関係なく順番に走査する順次走査方式进行う必要がある。一方、現行のテレビジョンや、ハイビジョンに対応するためには、送られてくる信号に従って、奇数フィールドで奇数ラインの画素を順次走査し、偶数フィールドで偶数ラインの画素を順次走査する、いわゆるインタース駆動を行なう必要があり、これに対応できる液晶表示装置が求められている。

【0004】 また、液晶表示装置が持つ画素数よりも小さい画素数の映像を、縦・横夫々任意の倍数にして拡大表示できる液晶表示装置が望まれている。その際、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合には、映像表示領域外の余った上下、あるいは左右の画素を黒表示にしておくため、プランギング期間中にその画素の黒表示書き込みを行なう必要がある。

【0005】 近年、大画面ディスプレイ、プレゼンテーション用ディスプレイとして普及が進んでいる液晶プロジェクタでは、液晶表示装置を通過した光の反射・折り曲げ回数の違いから、赤・緑・青に対応した3枚の液晶表示装置のうち1枚のパネルについて、画像をミラー反転させる必要がある。更に、1台の液晶プロジェクタ装置で、フロント投射、リア投射、床置き、天吊りに対応できる柔軟な液晶表示装置が求められている。このため、垂直駆動回路、水平駆動回路を構成する走査回路は、共に双方向に走査できることが要求される。

【0006】 以上説明したような、走査方式、拡大表示、移動、黒表示書き込み、双方向走査を全て包括できる液晶表示装置が、来るマルチメディア時代の液晶表示装置として強く望まれている。以下、このような液晶表示装置をマルチシンク液晶表示と記す。

【0007】 一方、液晶表示装置の小型化、低コスト化を狙って、液晶表示基板と同じ基板上に周辺駆動回路を集積化する技術の開発が進んでいる。周辺駆動回路は、アクティブマトリックスアレイを形成する薄膜トランジスタのゲートを走査する垂直駆動回路と、画像信号を画素に供給する水平駆動回路に分けられる。

【0008】 特定の走査方式で、特定の画素数を表示する場合には、垂直駆動回路に用いられる走査回路としてシフトレジスタ回路が使われている。しかしながら、シフトレジスタ回路を用いた場合、回路スピードの限界、データの書き込み周波数の限界から、限られたプランギング期間中に上述した黒表示書き込みを行うことができず、先に述べたマルチシンク液晶表示装置を実現することは困難である。

【0009】 現在、マルチシンク液晶表示装置の垂直駆動回路には、アドレスデコーダが用いられている。図5

は、アドレスデコーダを用いた従来の液晶表示装置の構成を示す図である。図に示す様に、液晶表示装置は、映像を表示するアクティブマトリクスアレイ401と、垂直駆動回路402と、水平駆動回路403とで構成されている。垂直駆動回路402には、走査線を選択するための制御信号404が複数本入力されている。

【0010】図6は垂直駆動回路402としてアドレスデコーダを用いた液晶表示装置の従来の駆動方法の一例を示す図である。ここでは、順次走査の例を示している。また、水平駆動回路403は、マルチシンク液晶表示装置に対応した回路であるものとする。また、走査線の数を1024本としており、その場合、制御信号404の数は、A0, 反転A0, A1, 反転A1, ..., A9, 反転A9の20個となる。

【0011】映像書き込み期間（走査期間）において、制御信号404としては図示する如き位相関係を有するクロック信号が入力されており、Ai+1の（iは0から9までの整数）クロック周期は、Aiのクロック周期の2倍となっている。この様な制御信号404を入力することにより、走査線GP1, GP2, ..., GP1024を順次走査する信号を得ることができる。

【0012】アドレスデコーダを用いれば、制御信号404の論理レベルの組み合わせにより、任意の走査線を1本、あるいは複数本を同時に選択することができる。従って、図6に示した順次走査の他、インターレース走査、2ライン同時駆動も容易に行うことができる。また、拡大表示、表示領域の移動、双方向走査にも対応できる。

【0013】更に、垂直ブランディング期間中において、黒表示書き込みを行いたい画素の走査線を同時に選択することができるので、上下の黒表示書き込みの時間を十分長くとれる。これらの理由により、マルチシンク液晶表示装置の垂直駆動回路にはアドレスデコーダが用いられている。

【0014】また、液晶表示装置の1つの表示画素への書き込みに要する時間は、一般的にPC等から出力される時間に比べ、より多く必要となる。従って、通常はPC等よりの映像信号を信号処理部にて液晶表示部の入力に適するX本（Xは正の整数）に分岐して液晶表示部に送っている。

【0015】

【発明が解決しようとする課題】この様に、映像信号を信号処理部にて複数本（X本）に分岐して液晶表示部へ送出する方式の液晶表示装置においては、各分岐後の映像信号間で振幅偏差があると、表示画像の質が低下して問題となる。そこで、垂直ブランディング期間中に、AGC（自動利得調整）処理を行ってX本全ての出力振幅が規定の値となる様にしている。

【0016】この出力振幅のAGC処理には垂直ブランディング期間中の多くの時間が費やされるために、上述し

た黒表示書き込み処理の時間を、この垂直ブランディング期間内にとることは困難となっている。

【0017】更に、このAGC処理は、映像信号の最大振幅（正側）と最小振幅（負側）との2つの振幅について行うことが必要であり、従って垂直ブランディング期間内で2度のAGC処理が行われる関係上、黒表示書き込み処理の時間をとることは更に困難となり、垂直駆動回路にシフトレジスタを用いた場合には勿論のこと、図5に示す如く、アドレスデコーダを用いた場合にも同様となる。

【0018】更に、アドレスデコーダの場合、走査線の数が増大すると、それに伴って制御線の数も増大するため、液晶ディスプレイモジュールが大きくなり、コスト高となる等の問題が生じる。例えば、走査線の数が1024本の場合には、20個の制御端子が必要となる。更に走査線の数が1024本を越える場合には、22個以上の制御端子が必要となる。

【0019】一方、垂直駆動回路にシフトレジスタを用いた場合は、シフトレジスタを駆動するために必要なクロック信号端子、入力信号端子の数は、走査線の数に関係なく、合わせて3本程度で済むが、先に述べたように、シフトレジスタでは、回路スピードの限界から、マルチシンク液晶表示装置に対応することはできない。

【0020】本発明の目的は、液晶表示部の非表示部分に対して黒信号を書き込むための処理を垂直ブランディング期間にて高速にて行い得る様にしてマルチシンク液晶表示に適応可能な液晶表示装置を提供することである。

【0021】本発明の他の目的は、垂直駆動回路の駆動用制御信号の数を、アドレスデコーダに比して大幅に削減して、小型、低コストの液晶表示装置を提供することである。

【0022】

【課題を解決するための手段】本発明によれば、複数の走査線と複数の信号線との各交点にスイッチング素子が夫々配置されてなるアクティブマトリックスアレイ構成の液晶表示手段と、前記走査線を駆動する垂直駆動手段と、前記信号線を駆動する水平駆動手段と、入力映像信号を複数に分岐して各分岐信号の黒表示信号に相当する信号の振幅調整処理を垂直ブランディング期間内に行う信号処理手段とを含む液晶表示装置であって、前記垂直駆動手段は、シフトクロックに従って前記走査線の駆動信号を順次シフトするシフト手段と、前記シフトクロックとして走査用クロックの周波数を遙倍した遙倍クロックを用いて前記シフト手段のシフト動作の開始／停止制御を行うシフト制御手段と、前記シフト手段のシフト動作停止後の各シフト出力を前記走査線対応に選択制御信号に従って選択する選択ゲート手段とを有し、前記シフト制御手段は、垂直ブランディング期間内で、前記シフト手段のシフト開始を行った後所定期間シフト動作を停止するよう制御し、前記水平駆動手段は、前記所定期間にお

いて前記振幅調整処理後の信号を前記信号線へ供給するようにしたことを特徴とする液晶表示装置が得られる。

【0023】

【発明の実施の形態】本発明の作用は次の如くである。すなわち、走査線を駆動する駆動データを、垂直プランギング期間において、高速にシフトレジスタでシフト転送し一定期間そのシフトデータをホールドして保持し、この保持期間中にAGC処理後の最大／最小振幅の信号（最大、最小振幅共に黒表示に相当する信号である）を当該ホールドデータに従って書込むようにしている。

【0024】走査線の駆動データのシフト転送は、垂直プランギング期間の開始直後に行われるAGC処理期間中に高速クロックにて行い、直後にこのシフトレジスタのホールドを行ってこのホールド期間中にAGC処理された黒表示相当信号を当該ホールドデータに従って書込むことで、高速に黒信号書き込み処理が、垂直プランギング期間に可能となり、またシフトレジスタ構成として、制御信号数の削減をも可能としている。

【0025】以下に、本発明の実施例について図面を用いて詳述する。

【0026】図1は本発明の液晶表示装置の一実施例を示す図である。液晶表示装置は図1に示した液晶表示部と図2に示した信号処理部により構成される。

【0027】液晶表示部は複数の走査線と複数の信号線との各交点に薄膜トランジスタを夫々配置して構成されたアクティブマトリクスアレイ101と、各走査線を駆動する垂直駆動回路102と、各信号線を駆動する水平駆動回路103とで構成されている。本実施例では、走査線の数を1024本としている。

【0028】本実施例の液晶表示装置の垂直駆動回路102は、図に示すように、シフト入力端子107から入力された走査線駆動パルス信号VSTAをクロック信号（図示せず）に同期して順次シフトするハーフビット構成の256段走査回路104-1～104-257と、そのハーフビット構成走査回路104-1～104-257の各出力信号P1, P2, ..., P256と、ゲート制御信号G1, G2, ..., G8を入力信号とするNANDゲート回路105-1～105-1024と、そのNANDゲート回路の各出力信号を入力信号とする出力バッファ回路106とで構成されている。各出力バッファ回路の出力GP1～GP1024が各走査線の駆動信号となっている。

【0029】ハーフビット構成走査回路104-1～104-257の各出力に対し、4個のNANDゲート回路が接続されており、隣接する8個のNANDゲート回路の制御信号は全て異なっていることが特徴となっている。

【0030】また、ハーフビット構成の走査回路104-1～104-257は双方走査（シフト）が可能な

構成となっており、逆方向に走査するときには、他方の入力端子108から走査線駆動パルス信号VSTbが入力される。また、ハーフビット構成走査回路104-1～104-257は互いに相補的な位相関係にある2相のクロック信号で駆動される回路を用いている。

【0031】従って、ハーフビット構成走査回路104-1～104-257を駆動するのに必要な駆動信号の数は、正逆方向に走査するときに入力する走査線駆動パルス信号VSTA, VSTbも含めて、2相のクロック信号2個、走査線駆動パルス入力信号2個の合計4個となる。更に、NANDゲート回路105-1～105-1024の制御信号G1～G8を加えて、垂直駆動回路102に入力する駆動信号の数は、合計12個となっている。この駆動信号の数は、走査線の数が1024本を越えた場合でも変わらない。

【0032】一方、従来用いられてきた、アドレスデコーダを垂直駆動回路に適用した場合には、先に述べた様に、制御信号の数は20個となる。すなわち、本実施例の液晶表示装置では、垂直駆動回路の駆動信号端子の数が、従来の3/5となっている。また、走査線の数が1024本を越える場合には、アドレスデコーダの制御信号の数は22個となり、本実施例の垂直駆動回路の駆動信号端子の数は、従来の約半分となる。

【0033】信号処理部は、図2に示す如く、映像信号入力111より入力された映像信号を、液晶表示部の映像入力端子数に適した数Xに展開して分岐を行う。ここで行われる展開の手法としては、アナログ-ディジタル変換を用いてディジタルデータ化した後、シフトレジスタ等を用いて層展開を行い、その後ディジタル-アナログ変換を用いてアナログに戻すといったディジタル的手法、あるいはアナログのままサンプル・アンド・ホールド等を用いて層展開を行うといったアナログ的手法を用いるかの、いずれかが用いられる。

【0034】層展開を行った後の各出力はAGC回路110-1～110-Xへ夫々入力され、液晶表示部の映像入力電圧範囲に合致するように振幅調整が行われる。この調整は、表示される映像に対して影響がないようにプランギング期間を使用して行われるため、層展開部にはプランギング期間を指示する信号BLA112と、振幅調整の最大振幅である正側電圧を出力するか、最小振幅である負側電圧を出力するかを切り替え指示する信号H/L113、またAGC処理の実行を指示する信号AGC114を備える。

【0035】図3は、本発明の液晶表示装置の駆動方法の一例を示す図である。本例は、図1に示した液晶表示装置を用いて、液晶表示装置が持つ画素数よりも小さい画素数の映像を表示する場合に、プランギング期間において、余った上下の画素領域を黒書きをする駆動方法の一例を示したものである。以下、図3を用いて、上・下夫々16ライン分の画素を黒表示書きする場合の

駆動方法について説明する。

【0036】まず、ランクイング期間中において、ハーフビット構成走査回路104-1～104-257に、クロック周期がTHのシフトクロック信号CLK、及びパルス幅が(2×TH)の2つの走査線駆動パルス信号A及びBを図に示すタイミングで入力する。

【0037】この時、パルス信号Aが立ち上がってから、パルス信号Bが立ち上がるまでの時間は、図に示すように、(124×TH)となっている。この様に、シフトクロック信号CLK、走査線駆動パルス信号VSTAを入力することにより、ハーフビット走査回路104-1～104-257の出力信号P1～P256として、二つのパルス信号A、Bが、(TH/2)ずつ順次シフトされた信号が、図に示すタイミングで出力される。

【0038】一方、この期間においては、NANDゲート回路のゲート制御信号G1～G8として、全てローレベルの信号を入力する。その結果、ハーフビット構成走査回路の出力信号P1～P256の論理レベルに関係なく、垂直駆動回路102の出力信号GP1～GP1024はローレベルの状態となる。尚、この期間におけるクロック周波数(1/TH)は、映像信号書き込み期間におけるクロック周波数に比べて、3桁程度高くして高速シフトを行っている。以上の液晶表示部の走査線の選択信号を液晶表示部に読込ませる動作は、ランクイング期間内の最初の第一のAGC動作の期間中に行われる。

【0039】二つのパルス信号A、Bを、映像書き込み期間に比べて3桁程度高い周波数で高速にシフトするこの期間に統いて、パルス信号Aが入力されてから、(128×TH)経過したところで、図に示すように、クロック信号のレベルをローにホールドする。これにより、ハーフビット構成走査回路の出力信号P1～P4及びP253～P256は、図に示すように、ハイレベルでホールドされる。

【0040】一方、この期間においては、NANDゲート回路に入力するゲート制御信号G1～G8として、図に示すように、ハイレベルの信号を入力する。その結果、NANDゲート回路の制御信号G1～G8がハイレベルになっている期間だけ、垂直駆動回路の出力信号GP1～GP6及びGP1009～GP1024がハイレベルとなる。

【0041】この期間は、信号処理部からは正側のAGC動作を行うための出力が行われており、これを液晶表示部はそのまま黒信号として書き込みに使用する。ちなみに液晶表示部は、何も映像信号が書き込まれないときは透明となる、ノーマリーホワイトと呼ばれる方式であり、AGC期間中は信号処理部より遮光するに値する正側(あるいは負側)の映像信号が输出されているため、これを書き込むことにより黒表示を実現することが可能となる。

【0042】この期間に、上・下各16ラインの画素に、黒表示信号が書込まれる。通常、この書き込み期間として、黒表示信号が選択された画素に十分書き込まれるだけの長い時間を設定する。また、パルス信号A及びBのパルス幅を調整することで、黒表示書き込みを行うラインを調整することができる。

【0043】この上下黒書き込みの期間に統いて、クロック周期がTHのクロック信号を、再び、ハーフビット構成の走査回路104-1～104-257に入力する。

10 これによって、ハーフビット構成の走査回路104-1～104-257に保持されたデータが高速に書き出される。

【0044】一方、この期間においては、NANDゲート回路の制御信号G1～G8として、全てのローレベルの信号を入力する。その結果、ハーフビット構成走査回路の出力信号P1～P256の論理レベルに関係なく、垂直駆動回路の出力信号はローレベルの状態となる。

【0045】また、この期間中に、映像書き込み期間における走査パルス信号を発生させるために、パルス幅THのパルス信号Cを図に示すタイミングで入力し、そのパルス信号Cを4段目まで転送しておく。これにより、映像書き込み期間においては、5段目から転送が始まり、垂直駆動回路の出力としては、映像表示領域である17番目の走査線から走査が始まることになる。

【0046】図4は本発明の液晶表示装置の駆動方法の他の実施例を示す図である。本例は、図3の例と同様に、図1に示した液晶表示装置を用いて、液晶表示部が持つ画素数よりも小さい画素数の映像を表示する場合に、ランクイング期間中において、余った上下の画素領域を黒書き込みする駆動方法の一例を示したものであるが、上15ライン、下17ライン分の画素を黒表示書き込みする点で、先の例とは異なる。

【0047】すなわち、本実施例は、先の例の状態から、映像表示装置を1ライン上に移動させた時の駆動方法を示したものである。この駆動方法は、映像表示領域を自由に移動させたい時などに使用する。以下、その駆動方法について説明する。

【0048】先ず、ランクイング期間中において、ハーフビット構成走査回路104-1～104-257に、40 クロック周期がTHのシフトクロック信号CLK、走査線駆動パルス信号A及びBを図に示すタイミングで入力する。

【0049】この時、パルス信号Aが立ち下がってから、パルス信号Bが立ち上がるまでの時間は、図に示すように、(124×TH)となっている。この様に、シフトクロック信号CLK、走査線駆動信号VSTAを入力することにより、ハーフビット走査回路104-1～104-257の出力信号P1～P256として、二つの走査線駆動パルス信号A、Bが、(TH/2)ずつ順次シフトされた信号が、図に示すタイミングで出力され

50

る。

【0050】一方、この期間においては、NANDゲート回路の制御信号G1～G8として、全てのローレベルの信号を入力する。その結果、ハーフビット構成走査回路の出力信号P1～P256の論理レベルに関係なく、垂直駆動回路の出力信号は、ローレベルの状態となる。尚、この期間におけるクロック周波数(1/T)は、映像書き込み期間におけるクロック周波数に比べて3桁程度高くしている。

【0051】二つのパルス信号A、Bを、映像書き込み期間に比べて、3桁程度高い周波数で高速にシフトするこの期間に統一して、パルス信号Aが入力されてから、(127×TH)経過したところで、図に示すように、クロック信号のレベルをハイにホールドする。これにより、ハーフビット構成走査回路の出力信号P1～P3及びP252～P256は、図に示すように、ハイレベルでホールドされる。この期間を第1の黒書き込み期間とする。

【0052】一方、この期間において、NANDゲート回路に入力するゲート制御信号G1～G4及びG8をハイレベル、G5～G7をローレベルにしておく。その結果、垂直駆動回路の出力信号GP1～GP4、GP8、GP9～GP12、GP1008、GP1009～GP1012、GP1016、GP1017～GP1020、GP1024がハイレベルの状態となる。この期間において、黒表示すべき部分の一部について、黒表示書き込みが行われる。

【0053】この第1の黒書き込み期間に統一して、クロック信号のレベルを図に示すようにハイレベルからローレベルに切換える。この期間においては、NANDゲート回路の制御信号G1～G8として、全てローレベルの信号を入力し、ハーフビット構成走査回路の出力信号P1～P256の論理レベルに関係なく、垂直駆動回路の出力信号を、ローレベルにしておく。

【0054】この期間に統一して、クロック信号の論理レベルをローに保持したまま、NANDゲート回路に入力する制御信号G1～G7をハイレベル、G8をローレベルにしておく。その結果、垂直駆動回路の出力信号GP1～GP7、GP9～GP15、GP1009～GP1015、GP1017～GP1023がハイレベルの状態となる。この期間において、黒表示すべき部分の一部について、黒表示書き込みが行われる。この期間を、第2の黒書き込み期間とする。

【0055】この第1、第2の上下黒書き込みの期間に統一して、クロック周期がTHのシフトクロック信号を、再びハーフビット構成の走査回路104-1～104-257に入力する。これによって、ハーフビット構成の走査回路104-1～104-257に保持されたデータが高速に掃き出される。

【0056】一方、この期間においては、NANDゲート回路の制御信号G1～G8として、全てローレベルの

信号を入力する。その結果、ハーフビット構成走査回路の出力信号P1～P256の論理レベルに関係なく、垂直駆動回路の出力信号は、ローレベルの状態となる。

【0057】また、この期間中に、映像書き込み期間における走査パルス信号を発生させるために、パルス幅THのパルス信号Cを図に示すタイミングで入力し、そのパルス信号Cを4段目まで転送しておく。この後、クロック周波数を変調し、論理ゲート回路に入力する制御信号として、G8、G1、G2、…、G7の順番で、位相が順次シフトしたパルス信号を入力する。垂直駆動回路の出力としては、映像表示領域である16番目の走査線から走査が始まる事になる。

【0058】以上説明したような駆動方法により1ライン単位で映像表示位置を移動させ、その上下の非表示領域に黒信号の書き込みを行うことができる。

【0059】本実施例の液晶表示装置における液晶表示部は、多結晶シリコン薄膜トランジスタをガラス基板上に集積して作成したものである。垂直駆動回路及び水平駆動回路はCMOSスタティック回路で構成したが、C20 MOSダイナミック回路で構成することも当然可能である。

【0060】また、本実施例では、多結晶シリコン薄膜トランジスタを用いたが、半導体層にアモルファスシリコンやカドミウムセレン等を採用した他の薄膜トランジスタで形成することも可能である。また、単結晶シリコンMOSトランジスタで構成することも当然可能である。

【0061】

【発明の効果】以上説明した様に、本発明によれば、走査線駆動データをシフトレジスタでシフト転送する方式において、このシフト動作を走査クロックよりも高速クロックを用いて高速で処理しかつ映像信号のAGC処理後の黒表示相当信号をそのまま用いて書き込む様にしたので、これ等走査線駆動データ転送処理及び黒信号書き込み処理が垂直ブランкиング期間内で行えることになるという効果がある。

【0062】また、垂直駆動回路にシフトレジスタ方式を用いることにより、入力すべき制御信号等の本数が著しく小となり、小型、低コスト化が図れるものである。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の液晶表示部の実施例を示す図である。

【図2】本発明の液晶表示装置の信号処理部の実施例を示す図である。

【図3】本発明の液晶表示装置の駆動方法の一例を示す図である。

【図4】本発明の液晶表示装置の駆動方法の他の例を示す図である。

【図5】従来の液晶表示装置を示す図である。

【図6】従来の液晶表示装置の駆動方法の一例を示す図

11

である。

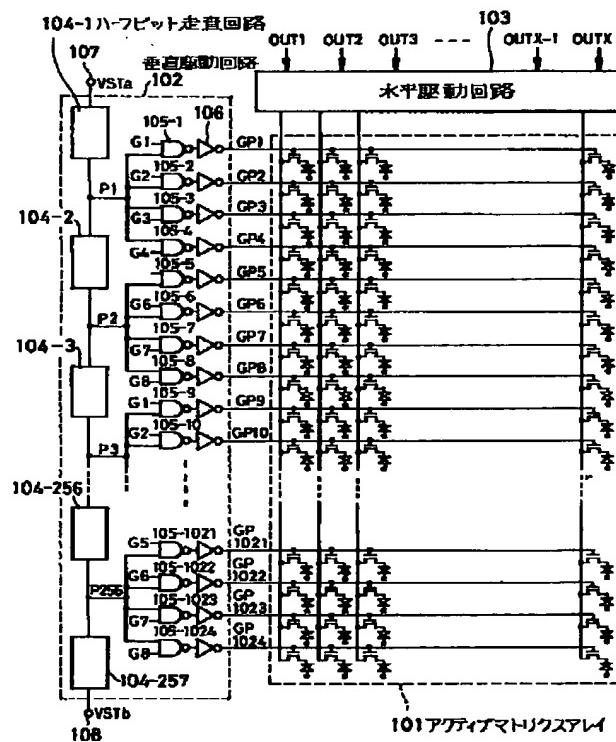
【符号の説明】

- 101 アクティブマトリクスアレイ
- 102 垂直駆動回路
- 103 水平駆動回路
- 104-1~104-257 ハーフビット走査回路
- 105-1~105-1024 NANDゲート回路
- 106 バッファ回路

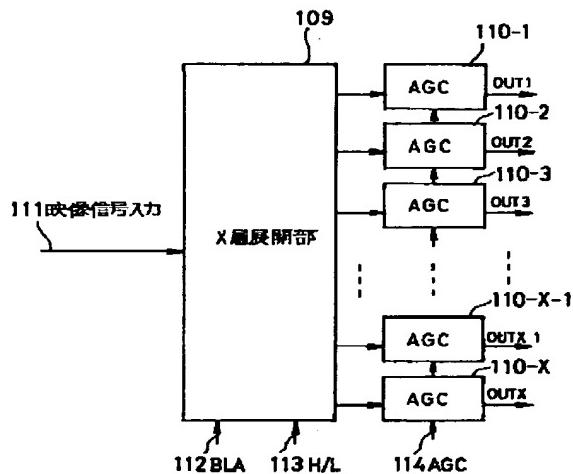
12

- 107, 108 走査線駆動信号入力端子
- 109 X層展開部
- 110-1~110-X AGC回路
- 111 映像信号入力
- 112 BLA入力
- 113 H/L入力
- 114 AGC入力

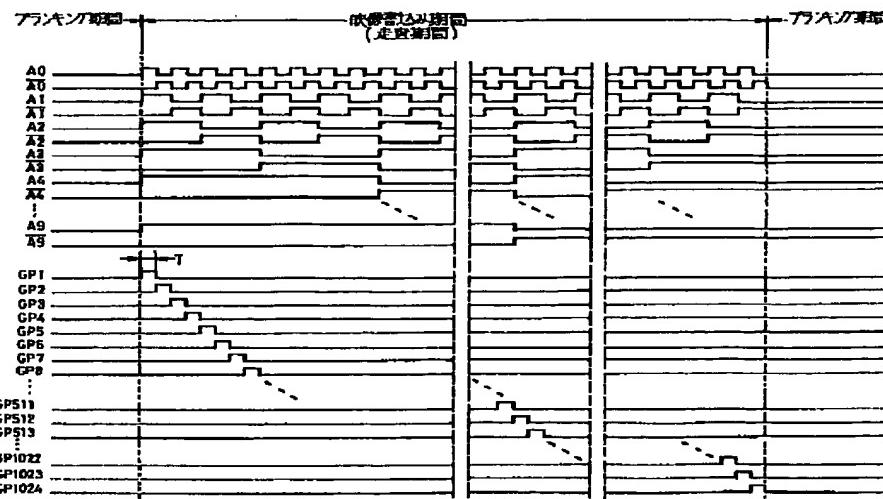
【図1】



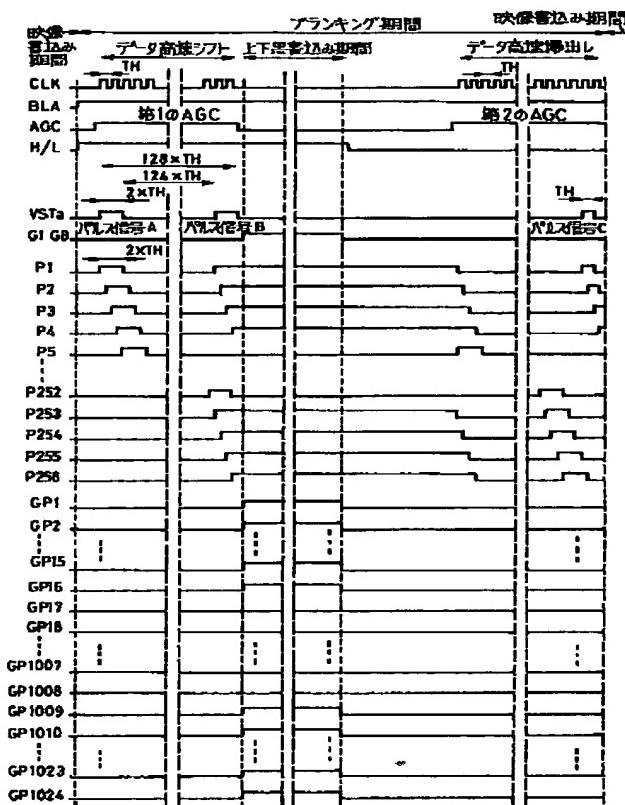
【図2】



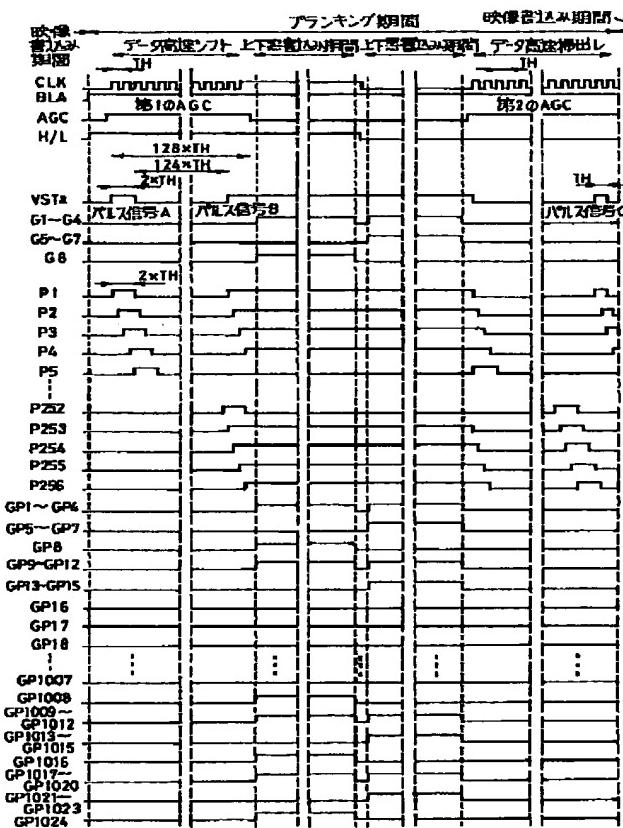
【図6】



【図3】



【図4】



【図5】

